

Block designer 1.0

오픈소스 기반 Electronic System Level 설계 검증용 EDA



✓ 팀 소개 - TwoBlock



홍성규
광운대학교
컴퓨터공학



최동명
한성대학교
멀티미디어공학



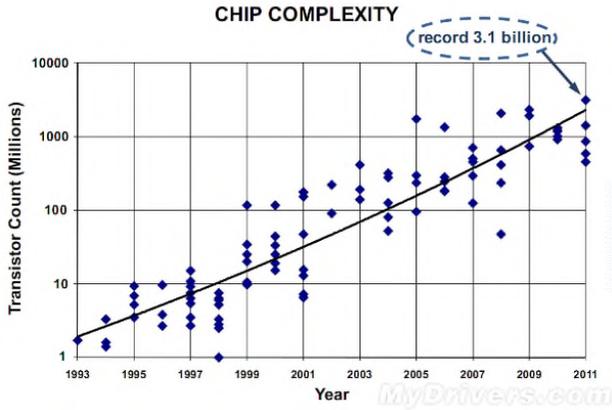
고지형
서울과학기술대학교
전자정보공학



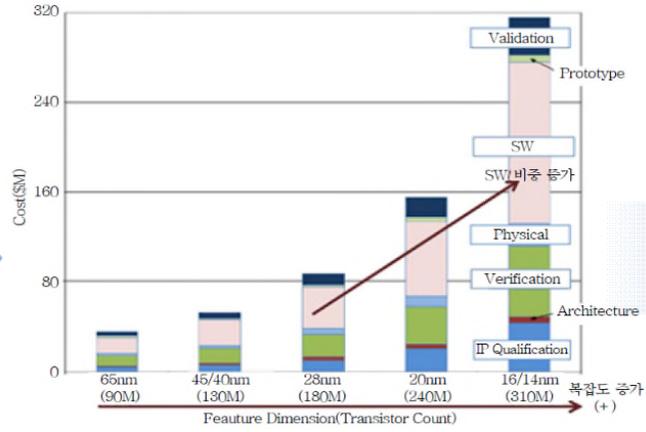
최정운
광운대학교
컴퓨터공학

삼성소프트웨어멤버십을 통해 결성된 팀으로서
반도체 설계(Verilog, SystemC) 기술과 소프트웨어 개발 기술을 겸비한 팀입니다.

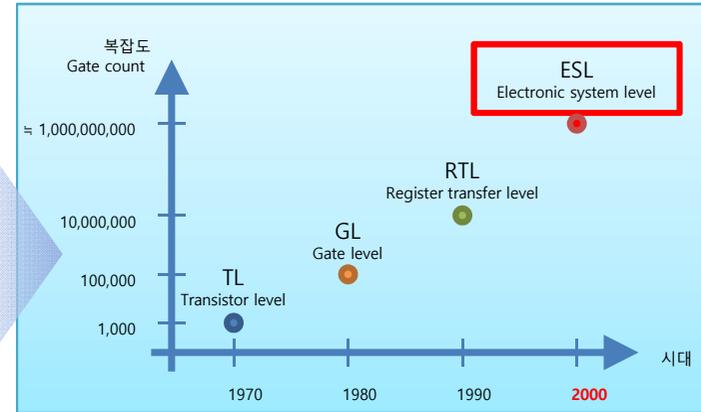
✓ 기술 배경 – ESL(Electronic system level) 설계 방법론



무어의 법칙(Moore's law)
1.5년마다 반도체의 집적도가 2배씩 증가

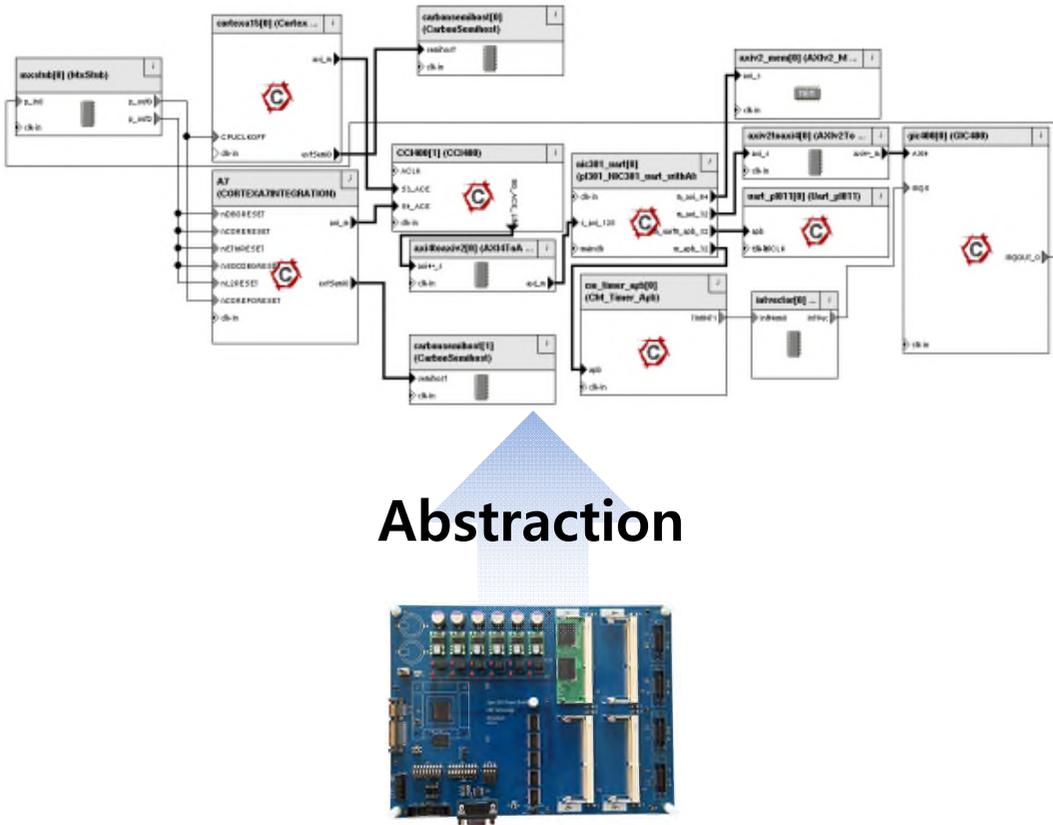


반도체 집적도가 향상될 수록
시스템 설계 비용은 기하급수적으로 증가



생산성 향상을 위해 반도체 설계기술이 발전
(설계 추상화 레벨 상승)

✓ 기술 배경 – ESL(Electronic system level) 설계 방법론



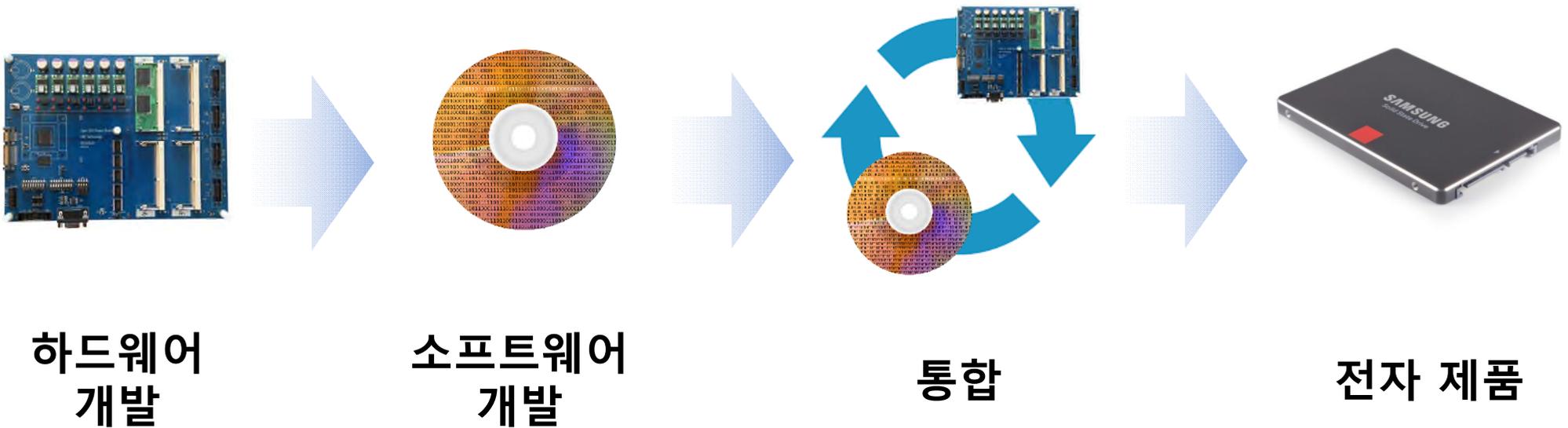
Abstraction

✓ ESL 시뮬레이터

- 하드웨어를 모델링한 소프트웨어 시뮬레이터
- RTL 시뮬레이터보다 월등히 빠른 시뮬레이션 속도 (최소 100배에서 1,000배 이상 빠름)
- 하드웨어와 소프트웨어의 동시 시뮬레이션 가능 (ESL시뮬레이터 위에서 Linux 실행 성공 - Carbon)
- 시스템 수정이 용이함
- 레지스터 값, 메모리 값 등의 트래킹 가능 (ex. Processor core의 pc, lr register 등)

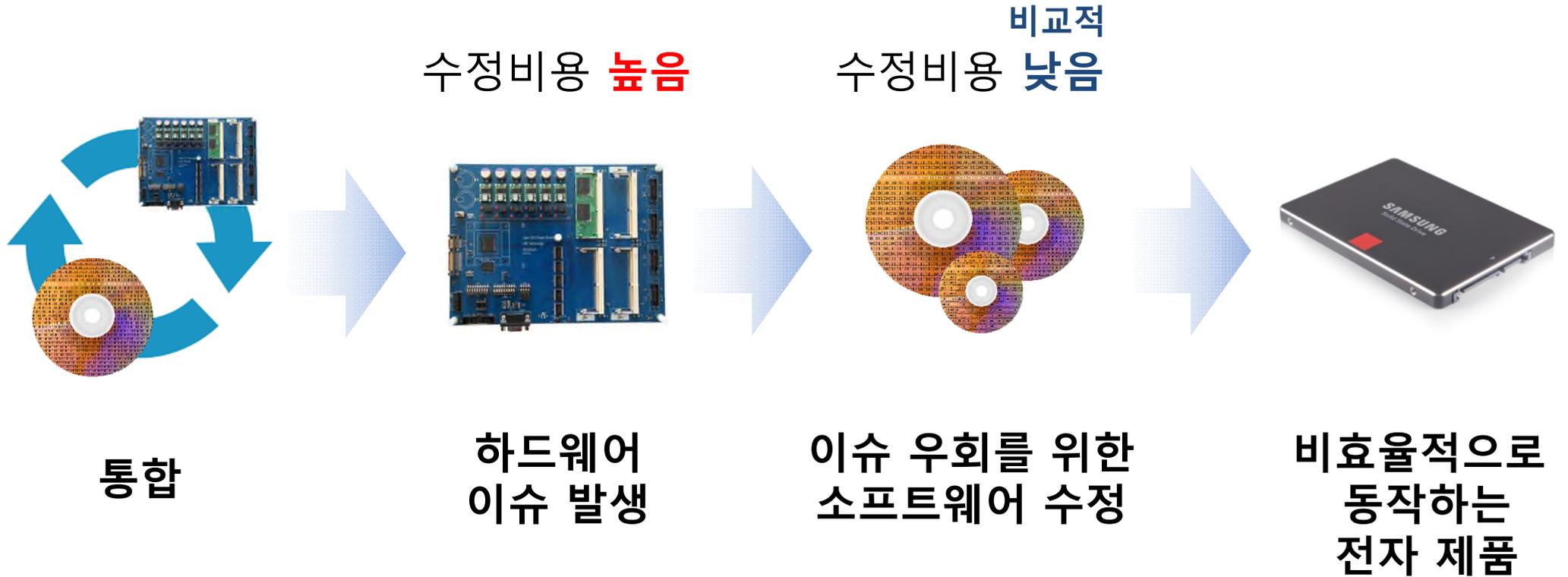
✓ 기술 배경 – ESL(Electronic system level) 설계 방법론

- 기존 개발방법론



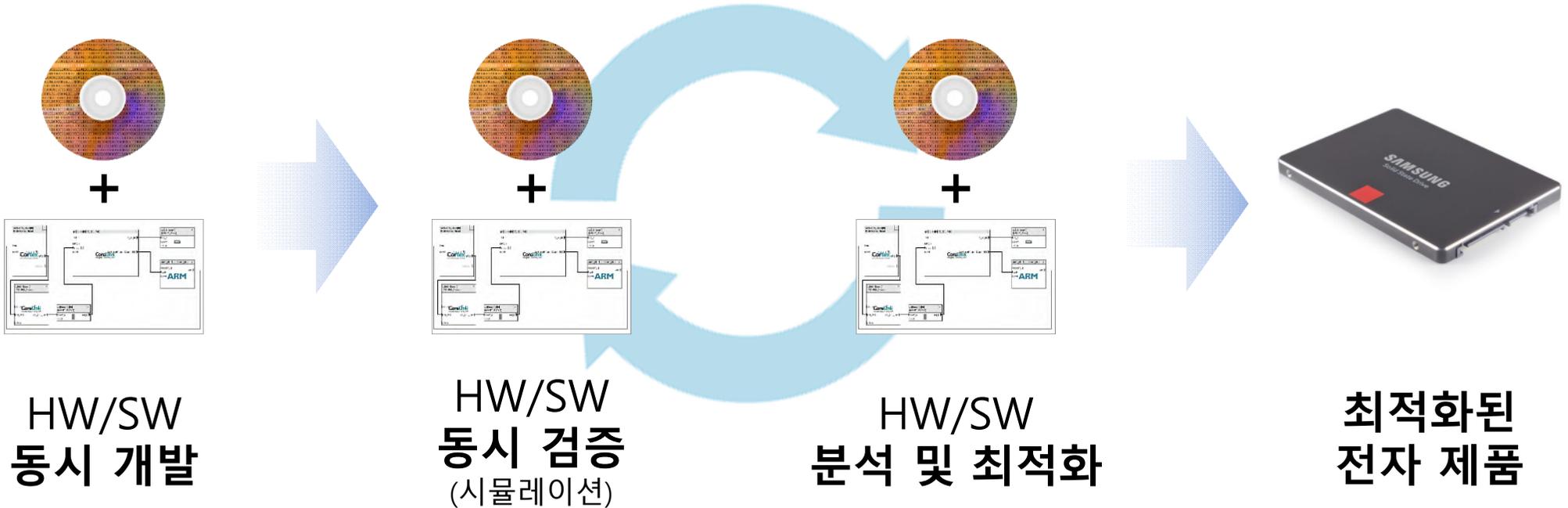
✓ 기술 배경 – ESL(Electronic system level) 설계 방법론

- 기존 개발방법론



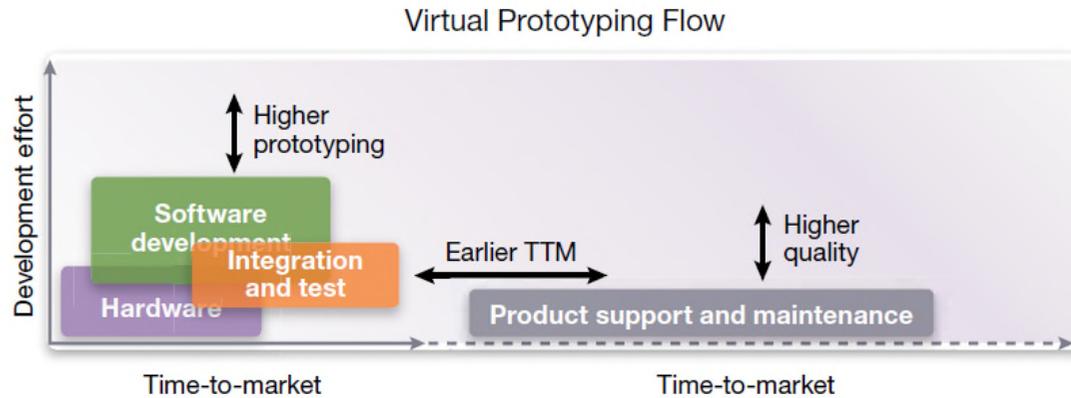
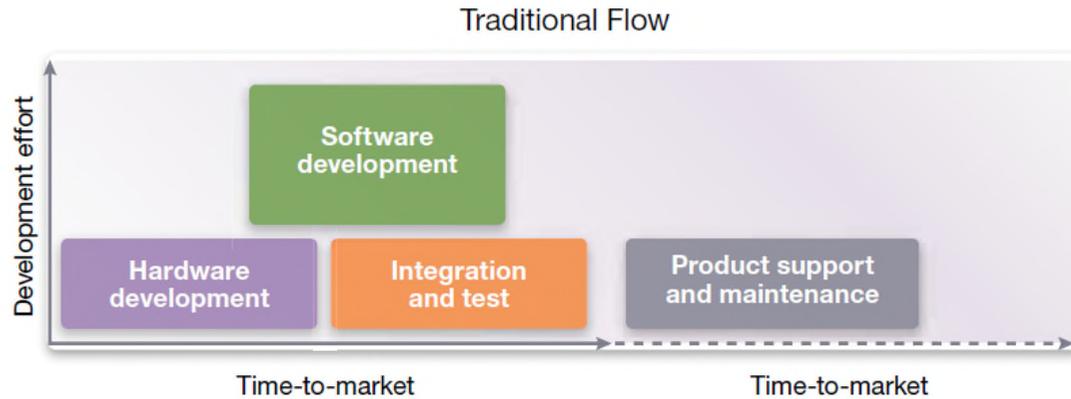
✓ 기술 배경 – ESL(Electronic system level) 설계 방법론

- ESL 개발방법론



✓ 기술 배경 – ESL(Electronic system level) 설계 방법론

- ESL 개발방법론



제품 개발기간 단축!
품질 상승!

“한국은 Verilog도 해외보다 10년이나 늦게 받아들였다.

한국 기업들도 앞으로 1, 2년 내에 ESL을 쓰게 될 것이다.”

- Cadence Korea 신용석 대표 -

“여러 이해관계 때문에 미루어지고 있을 뿐,

결국엔 위로(ESL, 상위수준) 올라갈 수 밖에 없다.”

- 삼성전자 LSI 사업부 신영민 Master -

✓ 시장환경

오픈소스 환경

```
[ccw@localhost obj_dir]$ source /home/tools/verilator.csh
[ccw@localhost obj_dir]$ source /home/tools/_systemc.csh
[ccw@localhost obj_dir]$ ./VCMODS

SystemC 2.3.1-Accellera --- Mar  8 2015 19:13:39
Copyright (c) 1996-2014 by all Contributors,
ALL RIGHTS RESERVED
* Instruction memory initialization
* Loading software to memory
..... Done!

Dhrystone Benchmark, Version 2.1 (Language: C)

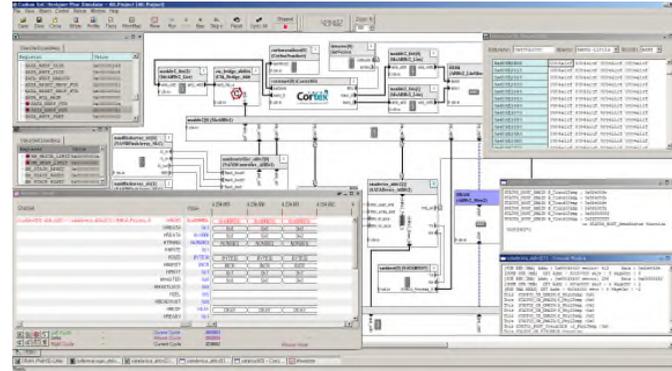
Program compiled without 'register' attribute

Please give the number of runs through the benchmark:
Execution starts, 100 runs through Dhrystone
Execution ends

Final values of the variables used in the benchmark:
Int_Glob:      5
              should be: 5
Bool_Glob:    1
              should be: 1
```

- ✓ 오픈소스(무료)
- ✓ Command line interface
- ✓ 실시간 시뮬레이션 디버깅 X
- ✓ 자동화 X
- ✓ 시각화 X

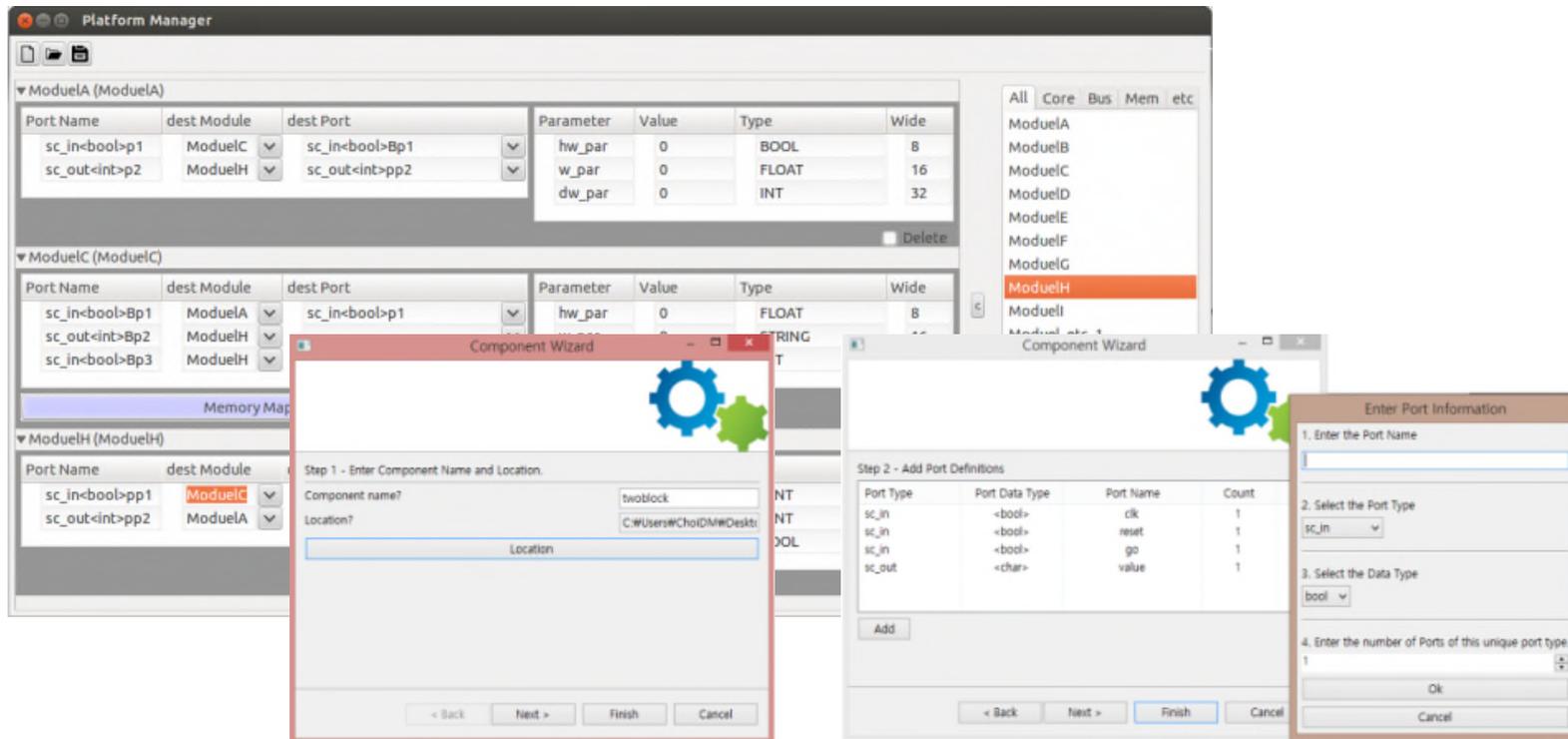
상용 EDA 환경



- ✓ 유료제품(연 1.5억)
- ✓ Graphic user interface
- ✓ 실시간 시뮬레이션 디버깅 O
- ✓ 자동화 O
- ✓ 시각화 O

✓ Block designer 1.0

오픈소스 기반의 '상위수준 반도체 설계 자동화 도구'로서
모듈 설계부터 HW/SW 동시 시뮬레이션까지의 과정에서 자동화 및 시각화 기능을 제공



✓ 차별성

오픈소스 환경

```

[ccw@localhost obj_dir]$ source /home/tools/_verilator.csh
[ccw@localhost obj_dir]$ source /home/tools/_systemc.csh
[ccw@localhost obj_dir]$ ./VCMD03

SystemC 2.3.1-Accellera --- Mar  8 2015 19:13:39
Copyright (c) 1996-2014 by all Contributors,
ALL RIGHTS RESERVED
* Instruction memory initialization
* Loading software to memory
..... Done!

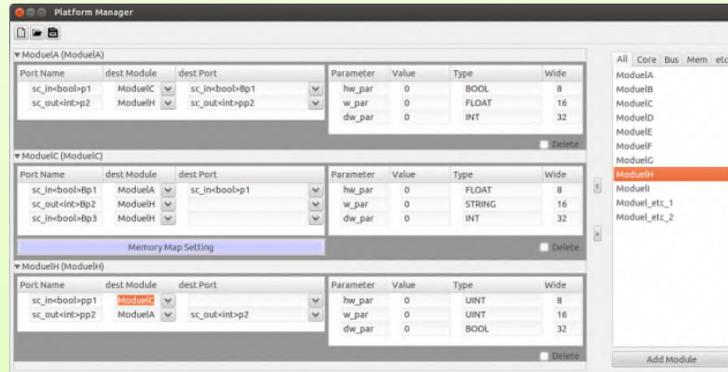
Dhrystone Benchmark, Version 2.1 (Language: C)
Program compiled without 'register' attribute

Please give the number of runs through the benchmark:
Execution starts, 100 runs through Dhrystone
Execution ends

Final values of the variables used in the benchmark:
Int_Glob:      5
  should be:  5
Bool_Glob:    1
  should be:  1
    
```

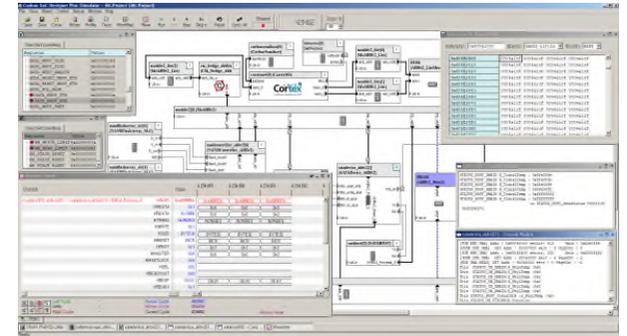
- ✓ 오픈소스(무료)
- ✓ Command line interface
- ✓ 실시간 시뮬레이션 디버깅 X
- ✓ 자동화 X
- ✓ 시각화 X

Block Designer



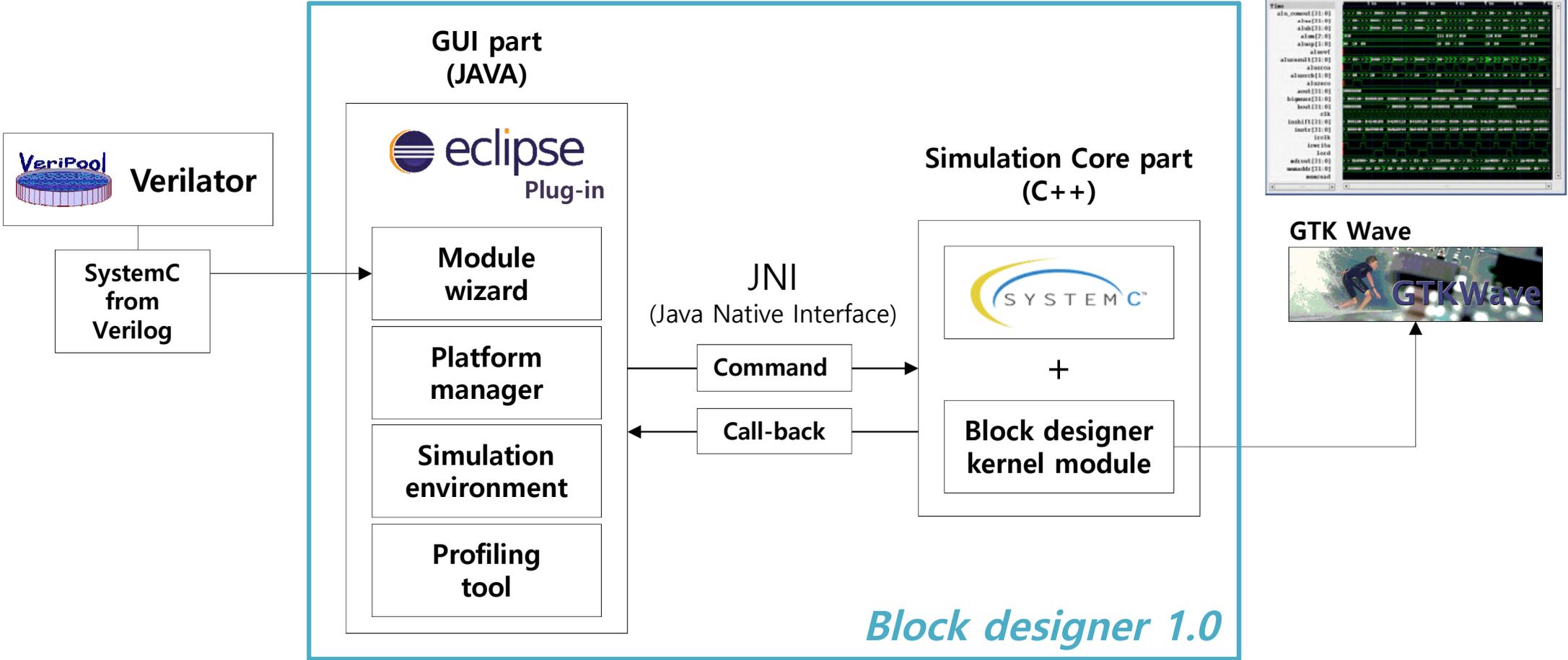
- ✓ 오픈소스(무료)
- ✓ Graphic user interface
- ✓ 실시간 시뮬레이션 디버깅 O
- ✓ 자동화 O
- ✓ 시각화 O

상용 EDA 환경



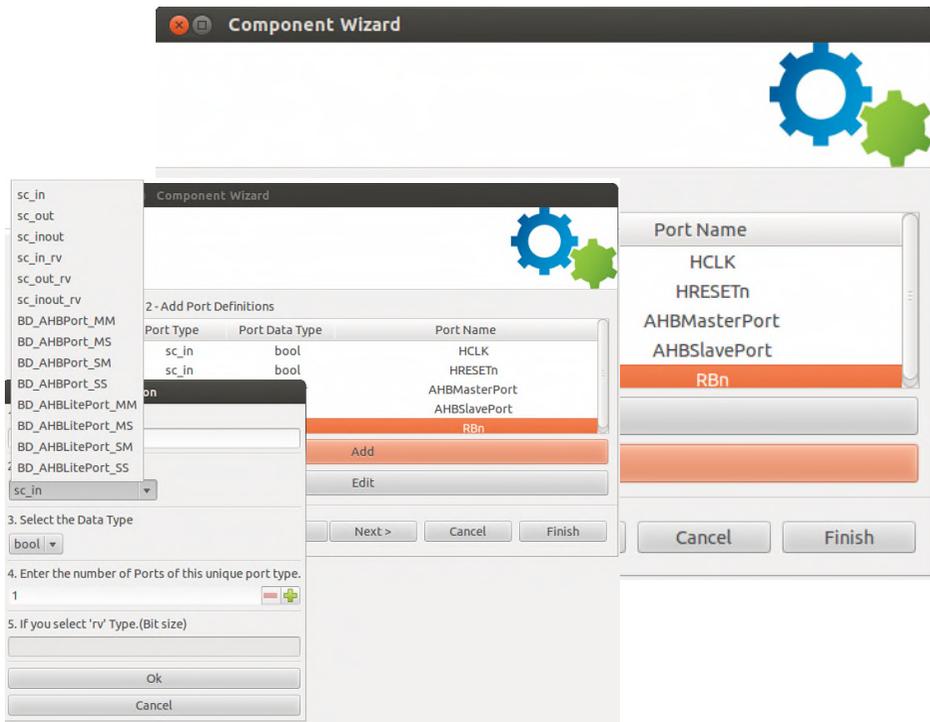
- ✓ 유료제품(연 1.5억)
- ✓ Graphic user interface
- ✓ 실시간 시뮬레이션 디버깅 O
- ✓ 자동화 O
- ✓ 시각화 O

✓ 시스템 구조 및 개발과정



✓ 기능1. Module wizard

하드웨어 정보를 입력 받아 모듈 코드를 작성해주는 마법사 기능



```

66 sc_out<UINT32> HRDATA;
67 sc_out<bool> HRESP;
68
69 sc_signal<UINT32> NEXT_ADDR_PHASE_MUX_SEL;
70 sc_signal<UINT32> REG_ADDR_PHASE_MUX_SEL;
71
72 void do_input_mux_signal();
73 void do_register_address_phase();
74 void do_divide_mux_signal();
75
76 SC_CTOR(AHBMUX) {
77     SC_METHOD(do_input_mux_signal);
78     sensitive << HREADY;
79     sensitive << MUX_SEL;
80     sensitive << REG_ADDR_PHASE_MUX_SEL;
81
82     SC_THREAD(do_register_address_phase);
83     sensitive << HCLK.pos();
84     sensitive << HRESETn.neg();
85
86     SC_METHOD(do_divide_mux_signal);
87     sensitive << REG_ADDR_PHASE_MUX_SEL;
88     sensitive << HRDATA_S0;
89     sensitive << HRDATA_S1;
90     sensitive << HRDATA_S2;
91     sensitive << HRDATA_S3;
92     sensitive << HRDATA_S4;
93     sensitive << HRDATA_S5;
94     sensitive << HRDATA_S6;
95     sensitive << HRDATA_S7;
96     sensitive << HRDATA_S8;
97     sensitive << HRDATA_S9;
98     sensitive << HREADYOUT_S0;
99     sensitive << HREADYOUT_S1;
100    sensitive << HREADYOUT_S2;
101    sensitive << HREADYOUT_S3;
102    sensitive << HREADYOUT_S4;
103    sensitive << HREADYOUT_S5;
104    sensitive << HREADYOUT_S6;
105    sensitive << HREADYOUT_S7;
106    sensitive << HREADYOUT_S8;
107    sensitive << HREADYOUT_S9;
108    sensitive << HRESP_S0;
109    sensitive << HRESP_S1;
110    sensitive << HRESP_S2;
111    sensitive << HRESP_S3;

```

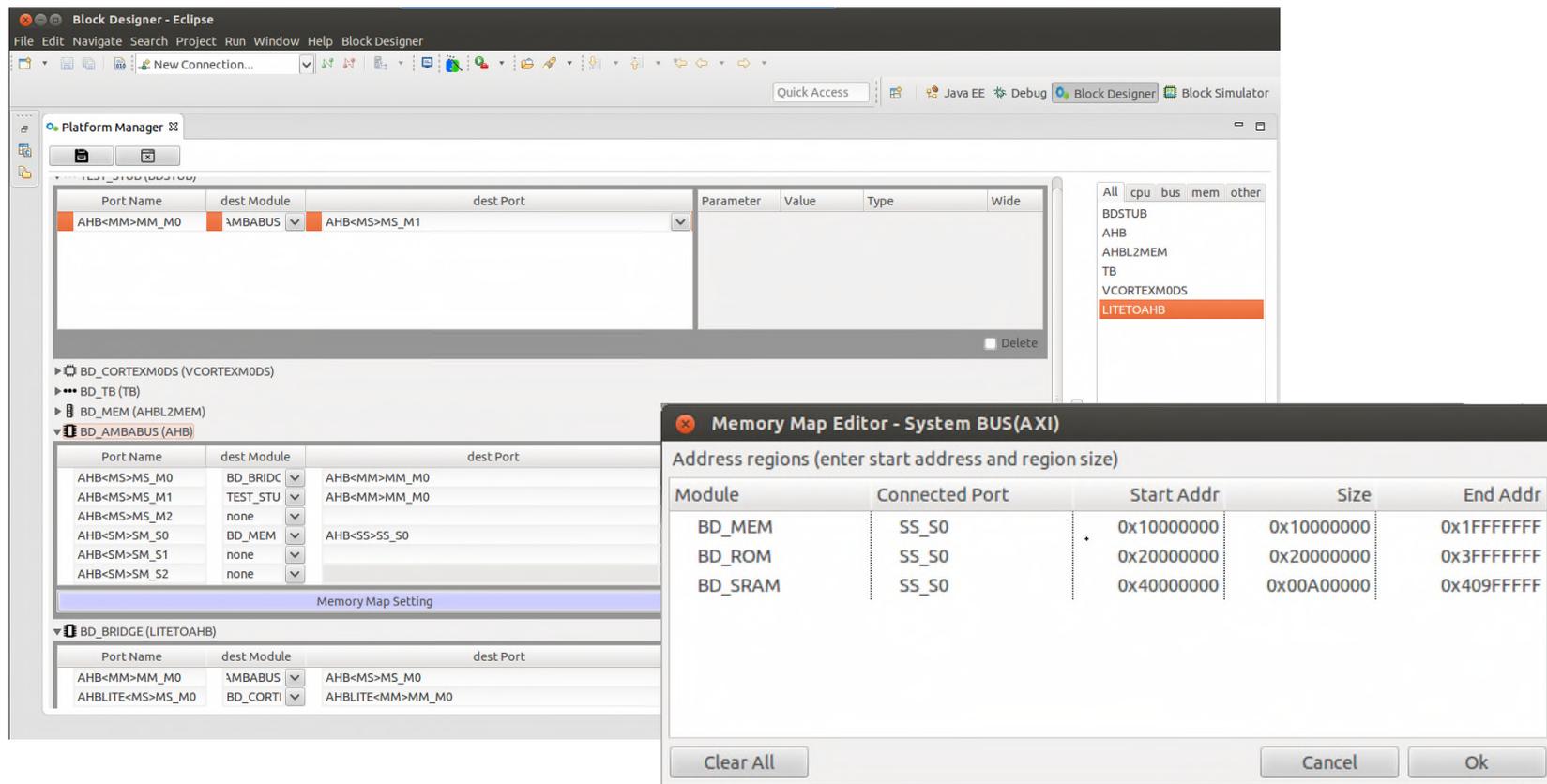
```

57 // Slave 1 Interface
58 sc_out<bool> HSEL_S1;
59 sc_in<bool> HREADYOUT_S1;
60 sc_in<bool> HRESP_S1;
61 sc_in<UINT32> HRDATA_S1;
62
63 // Slave 2 Interface
64 sc_out<bool> HSEL_S2;
65 sc_in<bool> HREADYOUT_S2;
66 sc_in<bool> HRESP_S2;
67 sc_in<UINT32> HRDATA_S2;
68
69 // Slave 3 Interface
70 sc_out<bool> HSEL_S3;
71 sc_in<bool> HREADYOUT_S3;
72 sc_in<bool> HRESP_S3;
73 sc_in<UINT32> HRDATA_S3;
74
75 // Slave 4 Interface
76 sc_out<bool> HSEL_S4;
77 sc_in<bool> HREADYOUT_S4;
78 sc_in<bool> HRESP_S4;
79 sc_in<UINT32> HRDATA_S4;
80
81 // Slave 5 Interface
82 sc_out<bool> HSEL_S5;
83 sc_in<bool> HREADYOUT_S5;
84 sc_in<bool> HRESP_S5;
85 sc_in<UINT32> HRDATA_S5;
86
87 // Slave 6 Interface
88 sc_out<bool> HSEL_S6;
89 sc_in<bool> HREADYOUT_S6;
90 sc_in<bool> HRESP_S6;
91 sc_in<UINT32> HRDATA_S6;
92
93 // Slave 7 Interface
94 sc_out<bool> HSEL_S7;
95 sc_in<bool> HREADYOUT_S7;
96 sc_in<bool> HRESP_S7;
97 sc_in<UINT32> HRDATA_S7;
98
99 // Slave 8 Interface
100 sc_out<bool> HSEL_S8;
101 sc_in<bool> HREADYOUT_S8;
102 sc_in<bool> HRESP_S8;

```

✓ 기능2. Platform manager

하드웨어 플랫폼 구성 작업을 지원하는 GUI 환경



✓ 기능3. Simulation environment

시뮬레이션 제어 및 데이터 시각화 기능을 지원하는 GUI 환경

The screenshot displays a simulation environment with two main components:

- Memory View - BD_ROM:** A window showing a table of memory addresses and their corresponding data values. The address field is set to 0x00000300.
- BD_CORTEXM0DS Port List:** A list of ports including HCLK, HRESETn, NMI, IRQ00, and IRQ01.

Address	data1	data2	data3	data4
0x00000300	6065026D	00C360A3	60DA191B	99086119
0x00000310	FF52F7FF	B5F8BDF8	200A4604	0736260D
0x00000320	4DBF6370	68282703	02C3077F	4BBB19DF
0x00000330	015F601F	2700605F	27FF609F	63F73707
0x00000340	18F300E6	611960DA	1C4049B6	F9D8F001
0x00000350	60294AB5	42816990	2100D0FC	F7FF4620
0x00000360	BDF8FF2B	200AB5FF	B081260D	63700736
0x00000370	27034DAB	077F6828	19E702C4	60274CA7
0x00000380	027F9F0A	60A36067	330723FF	9B0163F3
0x00000390	191B00DB	611960DA	1C4049A2	F9B0F001
0x000003A0	60294AA1	42816990	2100D0FC	F7FF9801
0x000003B0	B005FF03	B570BDF0	240D2501	63650724
0x000003C0	63E52546	60234C95	60630163	60A32300
0x000003D0	191B00C3	611960DA	F7FF2100	BD70FEED
0x000003E0	2401B5F8	073F270D	9D069E07	2446637C
0x000003F0	4C8A63FC	026D6026	60A36065	191B00C3
0x00000400	611960DA	F7FF2100	BDF8FED7	2401B570
0x00000410	071B230D	2486635C	4C8463DC	68234D84
0x00000420	195D02DB	601D4B7D	605D015D	609D2500

✓ 기능4. Profiling tool

시뮬레이션 중인 소프트웨어의 프로파일링 기능

Software Profiling View - CM0(big)

Function Name	Call	Duration(Cycles)	Duration(%)	Self Duration(Cycles)	Self Duration(%)
ata_idle_immediate	0	0	0.0%	0	0.0%
ata_sleep	0	0	0.0%	0	0.0%
ata_read_native_max_add	0	0	0.0%	0	0.0%
ata_nop	0	0	0.0%	0	0.0%
ata_initialize_device_par	0	0	0.0%	0	0.0%
ata_recalibrate	0	0	0.0%	0	0.0%
ata_not_supported	0	0	0.0%	0	0.0%
ata_srst	0	0	0.0%	0	0.0%
ata_execute_drive_diagno	0	0	0.0%	0	0.0%
set_string_data	0	0	0.0%	0	0.0%
ata_identify_device	0	0	0.0%	0	0.0%
handle_got_cfis	7	2198	0.402451%	2198	0.402451%
IRQ00_Handler	7	3192	0.584451%	756	0.138423%
Main	1	1197770	219.30995%	203808	37.316948%
sata_reset	1	484	0.08862%	421	0.077084%
delay	0	0	0.0%	0	0.0%
eventq_get	7	7876	1.442084%	6379	1.167986%
__2printf	65	255399	46.763184%	7373	1.349985%
__printf	65	239217	43.80028%	106135	19.433163%
__printf_int_hex	64	67785	12.411334%	21135	3.869788%
__aeabi_uidivmod	16	0	0.0%	471	0.086239%
__aeabi_idivmod	0	0	0.0%	1920	0.351549%
__printf_int_common	64	45194	8.274956%	38862	7.115576%
__printf_input_char	914	36936	6.762928%	36936	6.762928%
__printf_char_common	65	248026	45.4132%	8809	1.612915%
exit	0	0	0.0%	0	0.0%
__decompress1	1	21383	3.915196%	21383	3.915196%
Unknown	137	0	0.0%	4240	0.776338%

Function Name	Cycles
__printf	56 cycles
__printf_input_char	39 cycles

✓ 효용가치

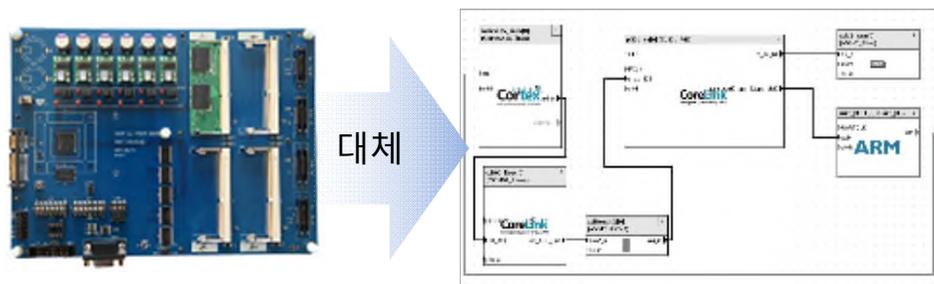
■ 반도체 설계전문 기업(Fabless)

- 업무 자동화
 - ☞ 단순 반복적인 코드를 클릭 한 번으로 생성
 - ☞ 휴먼 오류 방지
- 데이터 시각화
 - ☞ 방대한 시뮬레이션 데이터를 한 눈에!
 - ☞ 시뮬레이션 중인 시스템의 상태를 실시간으로 분석 가능
- 고가의 EDA가 제공하는 기능을 무료로 사용

업체명	제품명	라이선스 비용 (연간 사용료)
① Carbon design systems	SoC designer plus	80,000,000
	Model Studio	150,000,000
② Synopsys	Platform Architect	100,000,000
③ Mentor Graphics	Vista	.
	Catapult C	.
④ Cadence	Cynthesizer	.

■ 전자시스템 교육/연구 분야

- 교육용/연구용 하드웨어 플랫폼(FPGA 대체)
 - ☞ 하드웨어 시스템 수정 가능
 - ☞ 원하는 하드웨어 플랫폼 간편하게 제작
 - ☞ 시뮬레이션 데이터 모니터링 용이
 - ☞ 유지보수 관리 용이
 - ☞ 무료



감사합니다.



TWOBLOCK
Solution for system architecture

시연 영상

<https://www.youtube.com/watch?v=fpDILMaSuIU&feature=youtu.be>

